

Docket No.: 43890-521

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Yoshikazu FUKUHARA

Serial No.:

Group Art Unit:

Filed: June 7, 2001

Examiner:

For: DIGITAL PLL DEVICE AND DIGITAL PBX USING THE SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority
of:

Japanese Patent Application No. 2000-173162,
Filed June 9, 2000

A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:ykg
Date: June 7, 2001
Facsimile: (202) 756-8087

#5
11/19/01
PATENT

11000 U.S. PTO
09/875255
06/07/01

日 本 国 特 許 庁
JAPAN PATENT OFFICE

43890-521
June 7, 2001
FUKUHARA
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年 6月 9日

出 願 番 号
Application Number:

特願2000-173162

出 願 人
Applicant(s):

松下電器産業株式会社

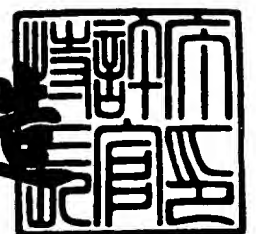
11000 U.S. PTO
09/875255
06/07/01

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3045403

【書類名】 特許願

【整理番号】 2913020555

【提出日】 平成12年 6月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H03B 28/00

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 福原 義和

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

 【識別番号】 100109667

 【弁理士】

 【氏名又は名称】 内藤 浩樹

【手数料の表示】

 【予納台帳番号】 011305

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

特 2 0 0 0 - 1 7 3 1 6 2

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 デジタルPLL装置

【特許請求の範囲】

【請求項1】 デジタル同期網における同期タイミング切替時に、入力する第1の同期タイミング信号から第2の同期タイミング信号に切替える第1のセレクタと、第1のセレクタから出力される同期タイミング信号と内部タイミング信号との位相差を比較して、位相差に対応した位相補正值を出力する位相比較器と、安定動作時点での前記位相比較器の位相補正值を記憶し、第1の同期タイミング信号が障害になったときから、第2の同期タイミング信号に切替えるまでの期間、ホールドオーバー動作に自動的に切替え高精度の位相補正を行うホールドオーバー部と、通常状態の位相補正值データと、ホールドオーバーモードの位相補正值データの切替制御を行う第2のセレクタと、第2のセレクタから出力される位相補正信号により、基準周波数を切替えて位相を追跡するリミッターと、位相補正された基準クロック信号の不要高調波やノイズを除去して、所望の周波数の同期タイミング信号を出力するループフィルタと、すべてのブロックに対して制御を行う制御部を備えたことを特徴とするデジタルPLL装置。

【請求項2】 前記ホールドオーバー部は、メモリに記憶する位相補正值のフレーム数を決定するフレームカウンタと、前記フレームカウンタでカウントされたフレーム数毎の加算、減算を行うアップ・ダウンカウンタと、そのカウント値である位相補正值を記憶するメモリと、メモリへのリード、ライト制御、アドレス制御を行うコントロール部と、メモリからの出力データを補正回数と補正データにデコードするデコーダ回路を備え、メモリに記憶する位相補正量を何フレーム毎に書き込むのか設定、制御することにより、メモリ容量を削減することを特徴とする請求項1記載のデジタルPLL装置。

【請求項3】 前記第1の同期タイミング信号から第2の同期タイミング信号に切替える際、事前に第2の同期タイミング信号を第1の同期タイミング信号にエッジトリガをかけておくエッジ同期部を備え、障害時の同期タイミング信号を位相がずれることなく切替えができることを特徴とする請求項1記載のデジタルPLL装置。

【請求項4】前記位相比較器において、内部タイミング信号と同期タイミング信号の位相をカウントする位相カウンタと、前記位相カウンタのカウント値を既定の基準と比較する位相検出回路と、同期タイミング信号の周波数をカウントする周波数カウンタと、前記周波数カウンタのカウント値を既定の基準と比較する周波数検出回路と、前記位相検出回路からの位相結果と周波数検出回路からの周波数結果から位相補正值を出力する位相補正值検出回路と、同期タイミング信号の位相条件、および前方保護、後方保護の条件から同期／非同期を自動判定する状態遷移検出回路を備え、PLLの同期状態を検知することができ、位相補正精度を向上することができることを特徴とする請求項1記載のデジタルPLL装置。

【請求項5】前記位相比較器において、同期／非同期状態に応じて位相補正量を可変することが可能な位相補正值検出回路を備えたことを特徴とする請求項1または4に記載のデジタルPLL装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、障害発生時に生じる出力クロック信号の変動を抑圧するホールドオーバー部を備え、同期網の同期タイミング信号の切替えを行うデジタルPLL（Phase Locked Loop）装置に関するものである。

【0002】

【従来の技術】

図9は従来のデジタルPLL装置のブロック図である。図9においてセレクタ1と、位相比較器2と、リミッター5と、ループフィルタ6と、制御部7が構成されている。従来より、デジタル同期網において、高信頼度のクロック信号を確保するため、図9に示すように、プライマリマスタから第1の同期タイミング信号a、セカンダリマスタから第2の同期タイミング信号bが送られてきて、第1の同期タイミング信号aが正常なときは第1の同期タイミング信号aがセレクタ1で選択されて位相比較器2へ送られる。

【0003】

位相比較器 2 では、セレクタ 1 より送られてきた同期タイミング信号 d とリミッターで生成されたクロックをループフィルタで分周した内部タイミング信号 c との位相を比較し、位相差に応じた信号である位相補正信号 e がリミッター 5 に送られる。リミッター 5 では位相比較器 2 より送られてきた誤差信号により、入力信号の位相が進んだときは周波数を低くし、位相が遅れたときは周波数を高くして位相が追跡される。ループフィルタ 6 ではリミッター 5 より送られてきたクロック信号が $1/N$ に分周されて、位相比較器 2 に送られる。位相比較器 2 ではセレクタ 1 からおくられてきた同期タイミング信号 d とループフィルタ 6 から送られてきた内部タイミング信号 c との位相が比較され、位相差に応じた位相補正信号 e がリミッター 5 に送り出される。

【0004】

ここで、位相比較器 2、リミッター 5、ループフィルタ 6 とでデジタル PLL 回路が構成されており、順次ループ的に動作し、常にプライマリマスタより送られてきた第 1 の同期タイミング信号 a に同期したクロック信号 f がループフィルタ 6 で生成され、出力端子より装置内の所要回路に供給される。受信する第 1 の同期タイミング信号 a の断が発生すると、同期タイミング信号の断を検出した制御部 7 の制御により第 1 の同期タイミング信号 a から第 2 の同期タイミング信号 b に切り替えられ、以降、第 1 の同期タイミング信号 a が回復するまでの間、受信される第 2 の同期タイミング信号に同期したクロック信号がリミッター 5 およびループフィルタ 6 を介して生成される。

【0005】

【発明が解決しようとする課題】

しかしながら、従来のデジタル PLL 装置においては、第 1 の同期タイミング信号が障害になったとき、その検出時間の間、および、第 1 の同期タイミング信号から第 2 の同期タイミング信号に切替える際、瞬断が発生する。この瞬断のため、位相比較器における第 2 の同期タイミング信号とループフィルタから送られてくる内部比較タイミング信号との位相差が大きくなり、ループフィルタから生成されるクロック信号の変動が起きるという問題点を有していた。

【0006】

本発明は、この様な問題を解決するものであり、比較的少ないメモリ容量で、障害時のクロック周波数変動を抑圧できるデジタルPLL装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

この課題を解決するために本発明のデジタルPLL装置は、デジタル同期網における同期タイミング切替時に、入力する第1の同期タイミング信号から第2の同期タイミング信号に切替える第1のセレクタと、第1のセレクタ信号から出力される同期タイミング信号と内部タイミング信号との位相差を比較して、位相差に対応した位相補正值を出力する位相比較器と、安定動作時点での前記位相比較器の位相補正值を記憶し、第1の同期タイミング信号が障害になったときから、第2の同期タイミング信号に切替えるまでの期間、ホールドオーバー動作に自動的に切替え高精度の位相補正を行うホールドオーバー部と、通常状態の位相補正值データと、ホールドオーバーモードの位相補正データの切替制御を行う第2のセレクタと、第2のセレクタから出力される位相補正信号により、基準周波数を切替えて位相を追跡するリミッターと、位相補正された基準クロック信号の不要高調波やノイズを除去して、所望の周波数の同期タイミング信号を出力するループフィルタと、すべてのブロックに対して制御を行う制御部を備えたものである。

【0008】

この本発明によれば、比較的少ないメモリ容量で、障害時のクロック周波数変動を抑圧できるデジタルPLL装置が得られる。

【0009】

【発明の実施の形態】

請求項1記載の発明は、デジタル同期網における同期タイミング切替時に、入力する第1の同期タイミング信号から第2の同期タイミング信号に切替える第1のセレクタと、第1のセレクタから出力される同期タイミング信号と内部タイミング信号との位相差を比較して、位相差に対応した位相補正值を出力する位相比較器と、安定動作時点での前記位相比較器の位相補正值を記憶し、第1の同期タ

イミング信号が障害になったときから、第2の同期タイミング信号に切替えるまでの期間、ホールドオーバー動作に自動的に切替え高精度の位相補正を行うホールドオーバー部と、通常状態の位相補正值データと、ホールドオーバーモードの位相値補正データの切替制御を行う第2のセレクタと、第2のセレクタから出力される位相補正信号により、基準周波数を切替えて位相を追跡するリミッターと、位相補正された基準クロック信号の不要高調波やノイズを除去して、所望の周波数の同期タイミング信号を出力するループフィルタと、すべてのブロックに対して制御を行う制御部を備えたものであり、障害時のクロック周波数変動を抑圧することができる。

【 0 0 1 0 】

請求項2記載の発明は、請求項1記載のデジタルPLL装置において、ホールドオーバー部は、前記ホールドオーバー部は、メモリに記憶する位相補正值のフレーム数を決定するフレームカウンタと、前記フレームカウンタでカウントされたフレーム数毎の加算、減算を行うアップ・ダウンカウンタと、そのカウント値である位相補正值を記憶するメモリーと、メモリへのリード、ライト制御、アドレス制御を行うコントロール部と、メモリからの出力データを補正回数と補正データにデコードするデコーダ回路を備え、メモリに記憶する位相補正量を何フレーム毎に書き込むのか設定、制御することにより、メモリ容量を削減するものである。

【 0 0 1 1 】

請求項3記載の発明は、請求項1記載のデジタルPLL装置において、前記第1の同期タイミング信号から第2の同期タイミング信号に切替える際、事前に第2の同期タイミング信号を第1の同期タイミング信号にエッジトリガをかけておくエッジ同期部を備え、障害時の同期タイミング信号を位相がずれることなく切替えができるものである。

【 0 0 1 2 】

請求項4記載の発明は、請求項1記載のデジタルPLL装置において、前記位相比較器において、内部タイミング信号と同期タイミング信号の位相をカウントする位相カウンタと、前記位相カウンタのカウント値を既定の基準と比較す

る位相検出回路と、同期タイミング信号の周波数をカウントする周波数カウンタと、前記周波数カウンタのカウント値を既定の基準と比較する周波数検出回路と、前記位相検出回路からの位相結果と周波数検出回路からの周波数結果から位相補正值を出力する位相補正值検出回路と、同期タイミング信号の位相条件、および前方保護、後方保護の条件から同期／非同期を自動判定する状態遷移検出回路を備え、PLLの同期状態を検知することができ、位相補正精度を向上することができるものである。

【 0 0 1 3 】

請求項 5 記載の発明は、請求項 1、4 記載のデジタル PLL 装置において、前記位相比較器において、同期／非同期状態に応じて位相補正量を可変することが可能な位相補正值検出回路を備えたものであり、位相追跡速度を位相のずれの大きさに応じて自動的に可変し、高速位相補正を精度よく行なうことができる。

【 0 0 1 4 】

(実施の形態 1)

図 1 は本発明の実施の形態 1 におけるデジタル PLL 装置のブロック図である。図 1 において、デジタル同期網における同期タイミング切替時、入力する第 1 の同期タイミング信号 a から第 2 の同期タイミング信号 b に切替える第 1 のセレクタ 1 と、第 1 のセレクタ 1 から出力される同期タイミング信号 d と内部タイミング信号 c との位相差を比較して、位相差に対応した位相補正值を出力する位相比較器 2 と、安定動作時点での前記位相比較器 2 の位相補正值を記憶し、第 1 の同期タイミング信号 a が障害になったときから、第 2 の同期タイミング信号 b に切替えるまでの期間、ホールドオーバー動作に自動的に切替え高精度の位相補正を行うホールドオーバー部 3 と、通常状態の位相補正值データと、ホールドオーバーモードの位相補正值データの切替制御を行う第 2 のセレクタ 4 と、第 2 のセレクタ 4 から出力される位相補正信号 e により、基準周波数を切替えて位相を追跡するリミッター 5 と、位相補正された基準クロック信号の不要高調波やノイズを除去して、所望の周波数の同期タイミング信号を出力するループフィルタ 6 と、すべてのブロックに対して制御を行う制御部 7 を有している。

【 0 0 1 5 】

以上のように構成されたデジタルPLL装置について、その動作を説明する。デジタル同期網において、高信頼度のクロック信号を確保するため、図1に示すように、プライマリマスタから第1の同期タイミング信号a、セカンダリマスタから第2の同期タイミング信号bが送られてきて、第1の同期タイミング信号aが正常なときは第1の同期タイミング信号aが第1のセレクタ1で選択されて位相比較器2へ送られる。位相比較器2では、第1のセレクタ1より送られてきた同期タイミング信号dとリミッター5で生成されたクロックをループフィルタ6で分周した内部タイミング信号cとの位相を比較し、位相差に応じた信号が第2のセレクタ4を介してリミッター5に送られる。

【0016】

リミッター5では位相比較器2より送られてきた誤差信号により、入力信号の位相が進んだときは周波数を低くし、位相が遅れたときは周波数を高くして位相が追跡される。ループフィルタ6ではリミッター5より送られてきたクロック信号が $1/N$ に分周されて、位相比較器2に送られる。位相比較器2では第1のセレクタ1からおくられてきた同期タイミング信号aとループフィルタ6から送られてきた内部タイミング信号cとの位相が比較され、位相差に応じた信号が第2のセレクタ4を介してリミッター5に送り出される。

【0017】

ここで、位相比較器2、リミッター5、ループフィルタ6とでデジタルPLL回路が構成されており、順次ループ的に動作し、常にプライマリマスタより送られてきた同期タイミング信号dに同期したクロック信号がループフィルタ6で生成され、出力端子より装置内の所要回路に供給される。ここで、この安定動作時点での位相比較器2の位相補正值をホールドオーバー部3に記憶し、受信する第1の同期タイミング信号aに障害が発生した時点から、第2の同期タイミング信号bに切替えるまでの期間、制御部7によりセレクタ4をホールドオーバー動作に自動的に切替え高精度の位相補正を行なう。

【0018】

以上のように、ホールドオーバー回路を用いて、第1の同期タイミング信号が障害になったとき、その検出時間の間、および、第1の同期タイミング信号から

第 2 の同期タイミング信号に切替える際、位相比較器における第 2 の同期タイミング信号とループフィルタから送られてくる内部比較タイミング信号との位相差を小さくすることが可能であり、ループフィルタ 6 から生成されるクロック信号 f の変動を抑圧しようとするものである。以上のように本実施の形態 1 によれば、障害時のクロック周波数変動を抑圧できるデジタル PLL 装置を得ることができる。

【 0 0 1 9 】

(実施の形態 2)

図 2 は、本発明の実施の形態 2 におけるデジタル PLL 装置のホールドオーバー部のブロック図であり、図 3 は本発明の実施の形態 2 におけるデジタル PLL 装置のホールドオーバー部のタイミング図である。図 1、2、3 を用いて以下にその動作を説明する。

【 0 0 2 0 】

デジタル PLL 装置のホールドオーバー部 3 は、位相補正值を記憶するメモリ 1 5 と、メモリ 1 5 に記憶する位相補正值のフレーム数を決定するフレーム・カウンタ 1 1 と、フレーム・カウンタ 1 1 でカウントされたフレーム数毎の加算、減算を行うアップ・ダウンカウンタ 1 2 と、アップ・ダウン制御回路 1 3 と、そのカウント値である位相補正值を記憶するメモリ 1 5 と、メモリ 1 5 へのリード、ライト制御、アドレス制御を行うコントロール部 1 4 と、メモリ 1 5 からの出力データを補正回数と補正データにデコードするデコーダ回路 1 6 を有している。

【 0 0 2 1 】

以上のように構成された回路について、その動作を説明する。制御部 7 からフレーム・カウンタ 1 1 には何フレーム毎にメモリ 1 5 に補正值データを記憶するのかを設定する補正フレーム数設定データが設定される。そして位相比較器 2 からの補正データをアップ・ダウン制御回路 1 3 でアップ・ダウンカウンタのカウント値設定を行ない、フレーム・カウンタ 1 1 で設定したカウント値毎に位相補正值の加減算した合計がメモリ 1 5 に位相補正值データとして記憶される。そしてメモリ 1 5 はリングバッファ構成とし、スタートアドレスから限られた

容量を満たした場合はスタートアドレスから上書きを始め、この動作を繰り返す。そして、クロック異常状態が発生した場合、その時点でコントロール部 14 はエラー信号によりライト動作が中止され、リード動作に切り替る。このリード動作タイミングはフレーム・カウンタ 11 で設定されたフレーム数毎にリードされる（図 3 参照）。

【0022】

以上のように、メモリ 15 に記憶する位相補正量を何フレーム毎に書き込むのか設定、制御することが可能であり、位相補正精度を保ちつつメモリー容量を削減しようとするものである。また本実施の形態 2 によれば、メモリ容量を削減することができるデジタル PLL 装置におけるホールドオーバー装置を得ることができる。

【0023】

（実施の形態 3）

図 4 は、本発明の実施の形態 3 におけるデジタル PLL 装置のブロック図である。エッジ同期部 8 以外は実施の形態 1 のデジタル PLL 装置と同様であるので説明は省略する。

【0024】

次にその動作を説明する。第 1 の同期タイミング信号が障害になった場合、第 1 の同期タイミング信号 a から第 2 の同期タイミング信号 b に切替える際、事前に第 2 の同期タイミング信号 b を第 1 の同期タイミング信号 a にエッジ同期部 8 でエッジ同期をかけておくように動作する。このエッジ同期は第 1 のタイミング信号が安定に動作していることを制御部 7 からのステータス信号をもとに検知し、安定動作時に定期的にエッジ同期をかけていくものである。したがって、第 1 の同期タイミング信号が障害になった場合の同期タイミングを、位相ズレがないように切替えようとするものである。以上のように本実施の形態 3 によれば、障害時の同期タイミングを位相がずれることなく切替えできるデジタル PLL 装置を得ることができる。

【0025】

（実施の形態 4）

図 5 は本発明の実施の形態 4 におけるデジタル PLL 装置の位相比較部のブロック図であり、図 6 は本発明の実施の形態 4 におけるデジタル PLL 装置の位相比較部のタイミング図であり、図 7 は本発明の実施の形態 4 における位相比較部の状態遷移図であり、図 8 は本発明の実施の形態 4 における位相比較部の位相補正值および同期／非同期判定例図である。

【 0 0 2 6 】

実施の形態 4 のデジタル PLL 装置の位相比較器 2 は、位相カウンタ 2 1 と、位相検出回路 2 2 と、周波数カウンタ 2 3 と、周波数検出回路 2 4 と、位相補正值検出回路 2 5 と、状態遷移検出回路 2 6 を有している。

【 0 0 2 7 】

以上のように構成された回路について、その動作を説明する。まず、内部フレーム信号と同期タイミング信号 d からの被比較フレーム信号の位相差を検出するために、位相カウンタ 2 1 では内部フレーム信号タイミング信号でリセットをかけ、そこから位相補正クロックでカウントを開始し、被比較フレーム信号の次のフレームまでカウントを行う（図 6 参照）。そのカウント値はコンパレータで構成された位相検出回路 2 2 で同期／非同期状態を検出し、さらに同期も位相状態が進み、遅れ、一致の 3 通りの状態を検出する（図 8 参照）。

【 0 0 2 8 】

次に位相補正精度を向上するために、前記位相条件に加えて周波数条件も検出するために、周波数カウンタ 2 3 では被比較フレーム信号の周波数をシステムクロックにてカウントする。そのカウント値は周波数検出回路 2 4 で理想的な周波数に対して低い、高い、一致の 3 通りの状態を検出する。位相検出回路 2 2 と周波数検出回路 2 4 の結果より、位相補正值検出回路 2 5 でマイナス補正、プラス補正、補正なしの 3 通りに判定する。この位相判定動作を各フレーム毎に行い、次のフレームで位相補正を行なう。

【 0 0 2 9 】

状態遷移検出回路 2 6 では位相検出回路 2 2 からの同期／非同期判定結果より同期状態を制御部 7 へ通知する。この状態遷移検出回路 2 6 では図 7 に示すように非同期状態から同期を 1 回検出すると後方保護状態に状態遷移し、この後方保

護の設定値である m 回同期を検出したら、同期状態に状態遷移する。しかし、1回でも非同期を検出した場合は非同期状態に状態遷移が戻ってしまう。そして、同期状態から非同期を1回検出すると、前方保護状態に遷移し、この前方保護の設定値である n 回非同期を検出したら、非同期状態に状態遷移する。しかし、1回でも同期を検出した場合は同期状態に状態遷移が戻ってしまう。

【0030】

このとき、同期から非同期に状態遷移したとき（いわゆる前方保護から非同期状態に状態遷移したとき）、PLLエラー信号を制御部に通知する。また、位相検出回路22からの位相検出信号は、制御部7に出力される。これは、請求項5に示すように、自動的に位相状態に応じて補正量を可変して位相追跡することの位相状態検出に使用される。以上のように同期タイミング信号 d の位相条件、および前方保護、後方保護の条件から同期／非同期を自動判定しようとするものであり、位相条件に加えて周波数条件により、位相補正精度を向上させる。

【0031】

以上のように本実施の形態4によれば、PLLの同期状態を検知することができ、位相補正精度を向上できるデジタルPLL装置を得ることができる。

【0032】

（実施の形態5）

請求項1、4記載のデジタルPLL装置の図5に示す位相比較器において、位相補正值検出回路25以外は実施の形態4記載のデジタルPLL装置と同様であるので説明は省略する。

【0033】

以上のように構成された位相補正值検出回路25について、その動作を説明する。

【0034】

請求項1、4記載のデジタルPLL装置の位相比較器2において、同期タイミング信号 d の位相検出器22からの誤差信号により、同期／非同期判定を行い、非同期状態のときは1フレームに行う位相補正量を制御部7からの設定により大きくとり、同期状態のときは1フレームに行う位相補正量を制御部7からの設定

により小さくとり位相追跡速度を位相のズレの大きさに応じて自動的に可変することができる。

【 0 0 3 5 】

以上のように本発明では、位相追跡速度を位相のズレの大きさに応じて自動的に可変して位相を追跡しようとするものであり、固定補正と比較して高速に精度よく位相補正するものである。

【 0 0 3 6 】

以上のように本実施の形態 5 によれば、請求項 1、2、3、4 に加え請求項 5 のようにデジタル PLL 装置の位相比較器 2 において、位相補正值検出回路 2 5 を有することにより、高速位相補正を精度よく行なうデジタル PLL 装置を得ることができる。

【 0 0 3 7 】

【発明の効果】

以上のように本発明によれば、入力クロック信号に障害が発生した際のクロック切替え時に、ホールドオーバー部によりクロック周波数変動を抑圧したデジタル PLL 装置が得られ、またホールドオーバー部のメモリ容量を削減したデジタル PLL 装置が得られる。また第 1 の同期タイミング信号から第 2 の同期タイミング信号に切替える際の同期はずれをなくすことが可能なデジタル PLL 装置が得られる。また被比較信号の位相条件、周波数条件、および前方保護、後方保護の条件から同期／非同期を自動判定検知し、位相補正精度を向上することが可能なデジタル PLL 装置が得られる。また位相追跡速度を位相のズレの大きさに応じて自動的に可変して高速位相補正が可能なデジタル PLL 装置が得られる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 におけるデジタル PLL 装置のブロック図

【図 2】

本発明の実施の形態 2 におけるデジタル PLL 装置のホールドオーバー部のブロック図

【図 3】

本発明の実施の形態 2 におけるデジタル P L L 装置のホールドオーバー部のタイミング図

【図 4】

本発明の実施の形態 3 におけるデジタル P L L 装置のブロック図

【図 5】

本発明の実施の形態 4 におけるデジタル P L L 装置の位相比較部のブロック図

【図 6】

本発明の実施の形態 4 におけるデジタル P L L 装置の位相比較部のタイミング図

【図 7】

本発明の実施の形態 4 における位相比較部の状態遷移図

【図 8】

本発明の実施の形態 4 における位相比較部の同期／非同期判定例図

【図 9】

従来のデジタル P L L 装置のブロック図

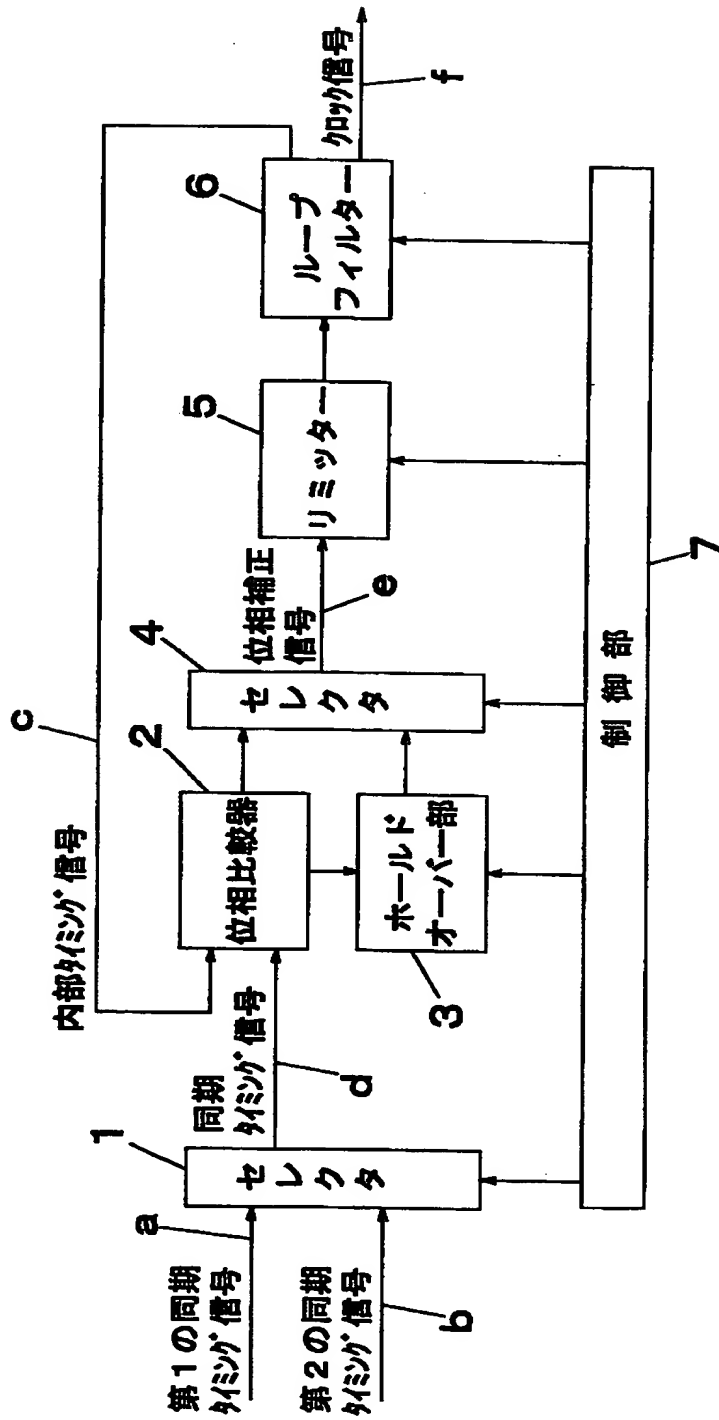
【符号の説明】

- 1 第 1 のセレクタ
- 2 位相比較器
- 3 ホールドオーバー部
- 4 第 2 のセレクタ
- 5 リミッター
- 6 ループフィルタ
- 7 制御部
- 8 エッジ同期部
- 1 1 フレーム・カウンタ
- 1 2 アップ・ダウンカウンタ
- 1 3 アップ・ダウン制御回路
- 1 4 コントロール部
- 1 5 メモリ

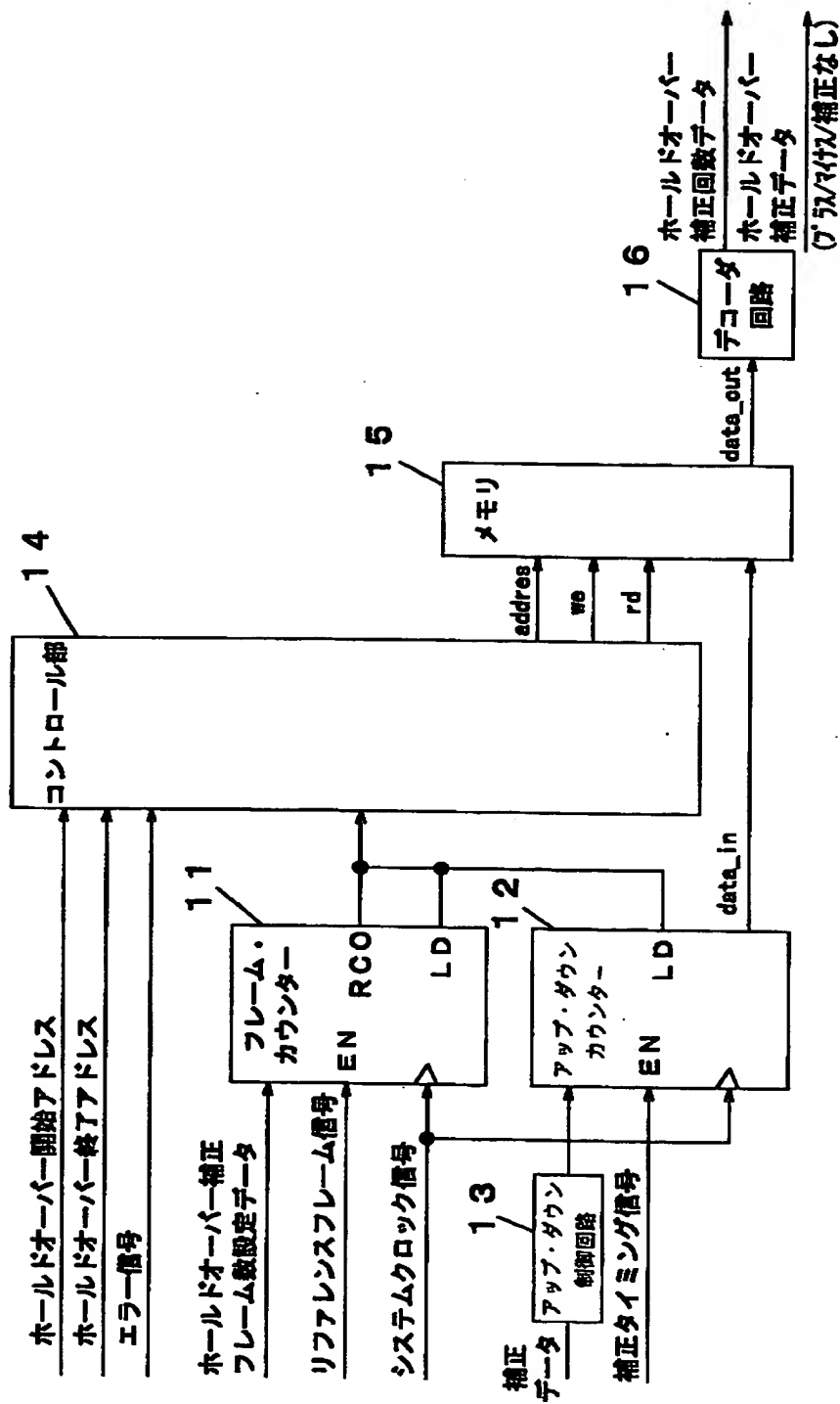
- 1 6 デコーダ回路
- 2 1 位相カウンタ
- 2 2 位相検出回路
- 2 3 周波数カウンタ
- 2 4 周波数検出回路
- 2 5 位相補正值検出回路
 - a 第 1 の同期タイミング信号
 - b 第 2 の同期タイミング信号
 - c 内部タイミング信号信号
 - d 同期タイミング信号
 - e 位相補正信号
 - f クロック信号

【書類名】 図面

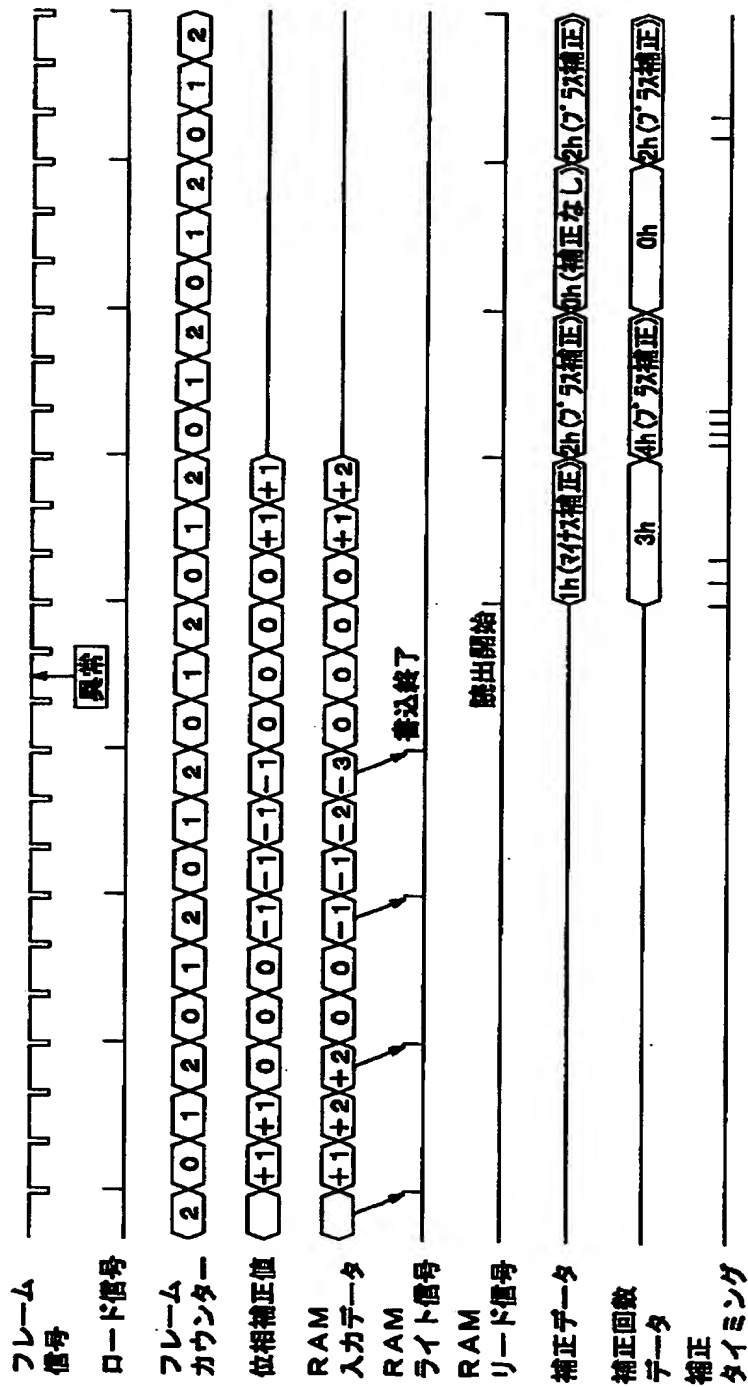
【図1】



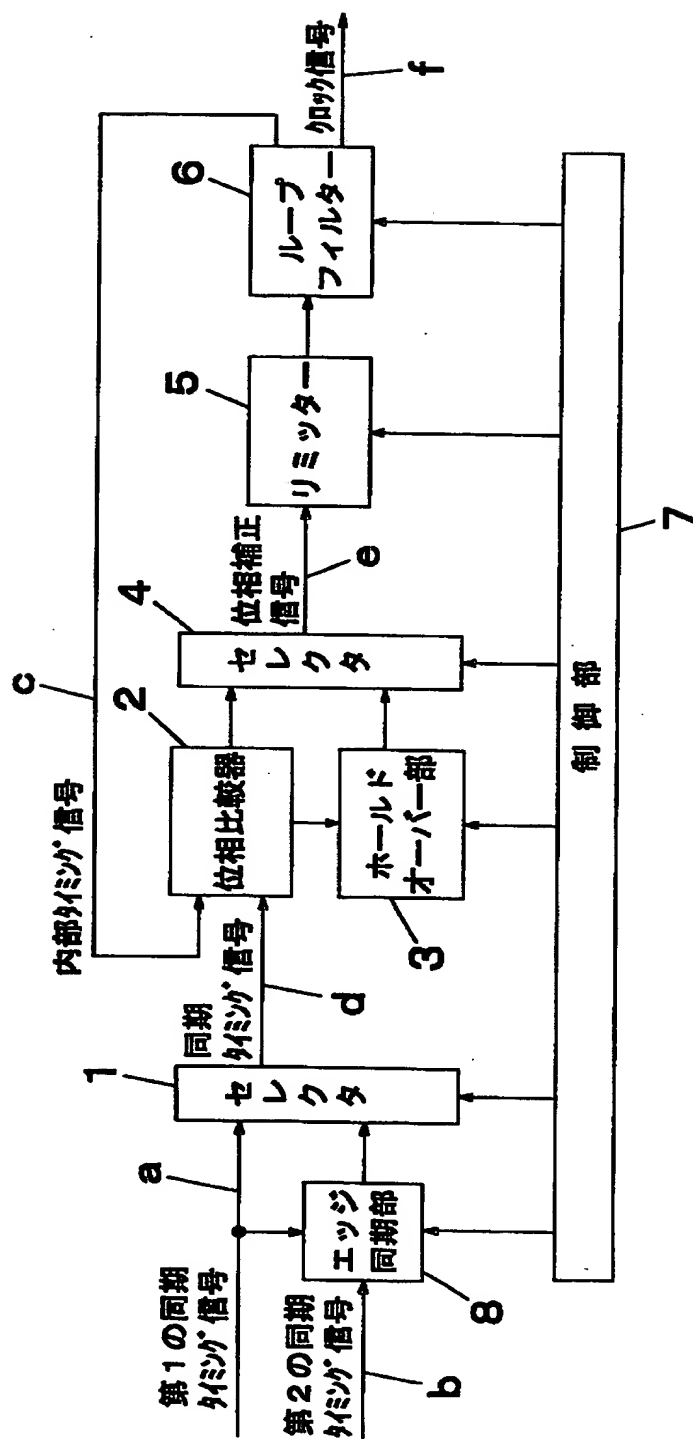
【図 2】



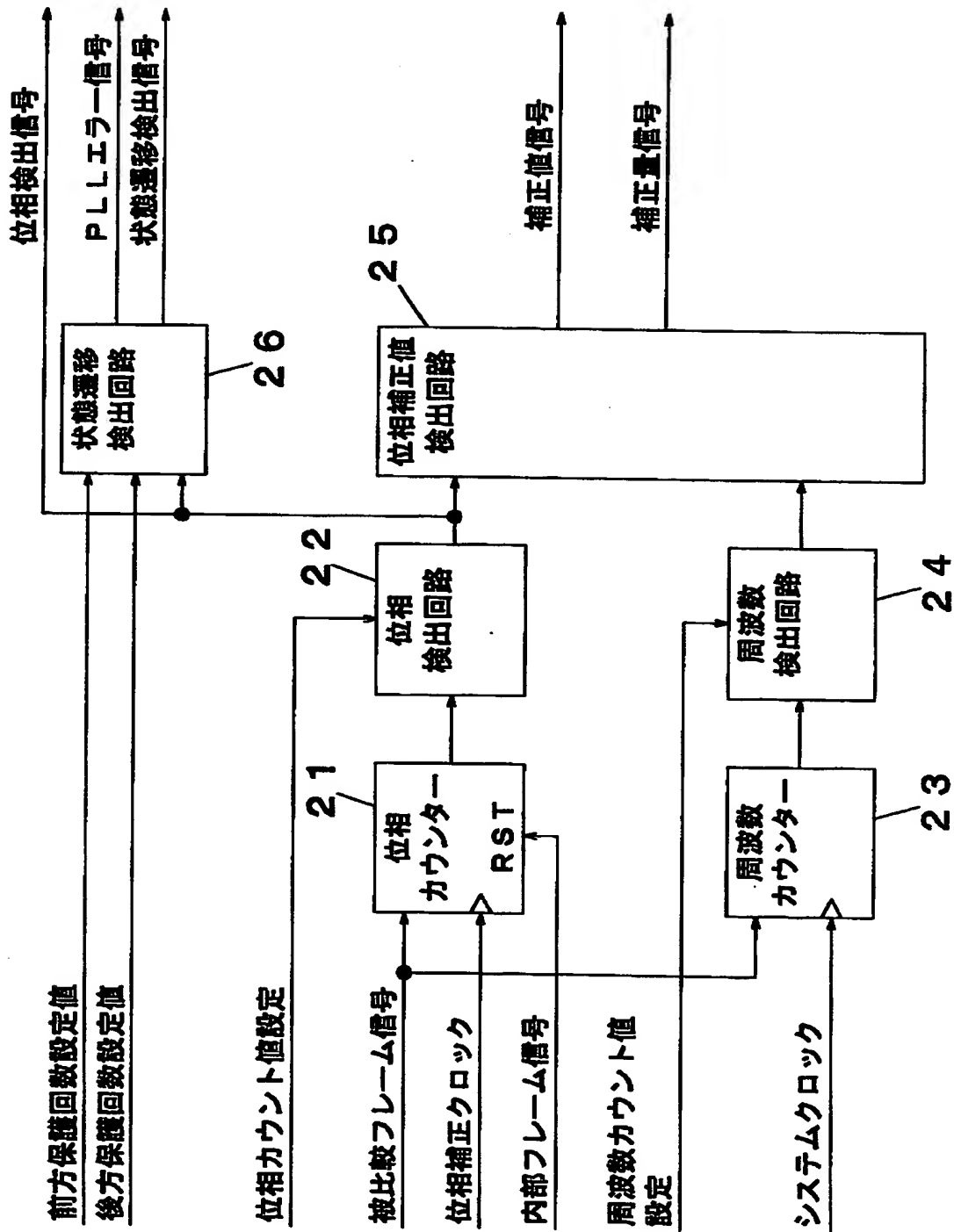
【図 3】



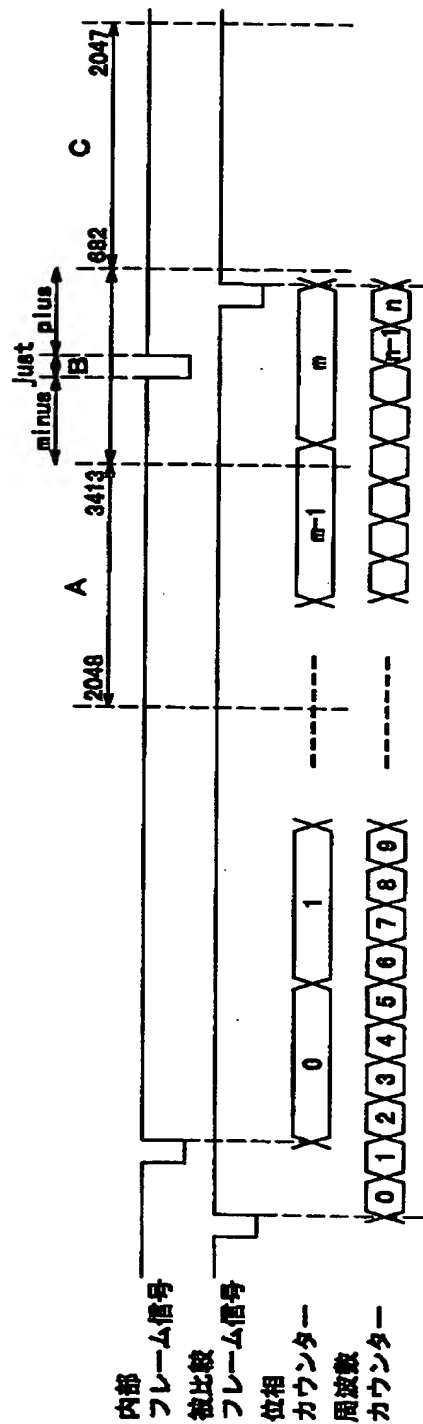
【図 4】



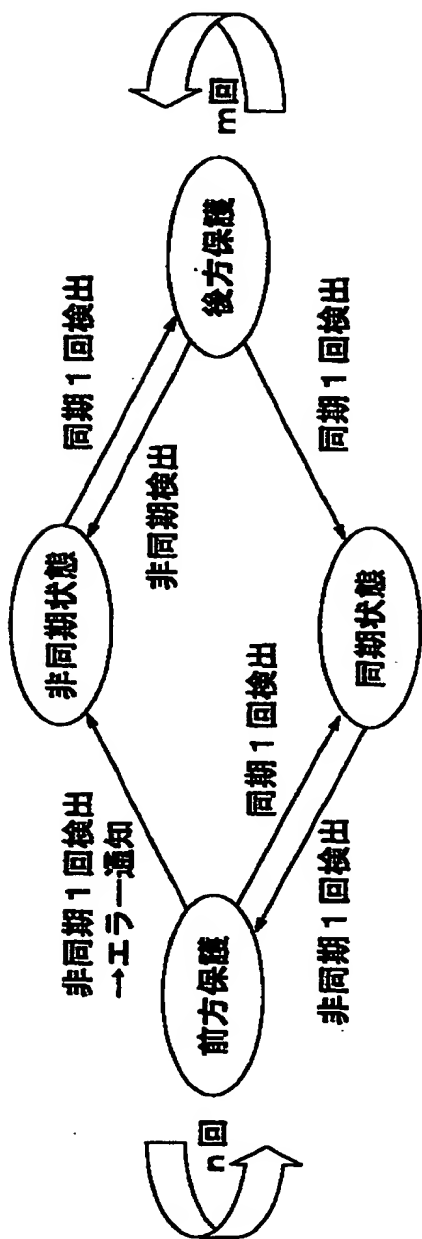
【図5】



【図6】



【図7】



I) 非同期状態のとき

フレームパルスの位相同期状態を1回検出→後方保護→m回連続検出→同期状態

II) 同期状態のとき

フレームパルスの非同期状態を1回検出→前方保護→n回連続検出→非同期状態

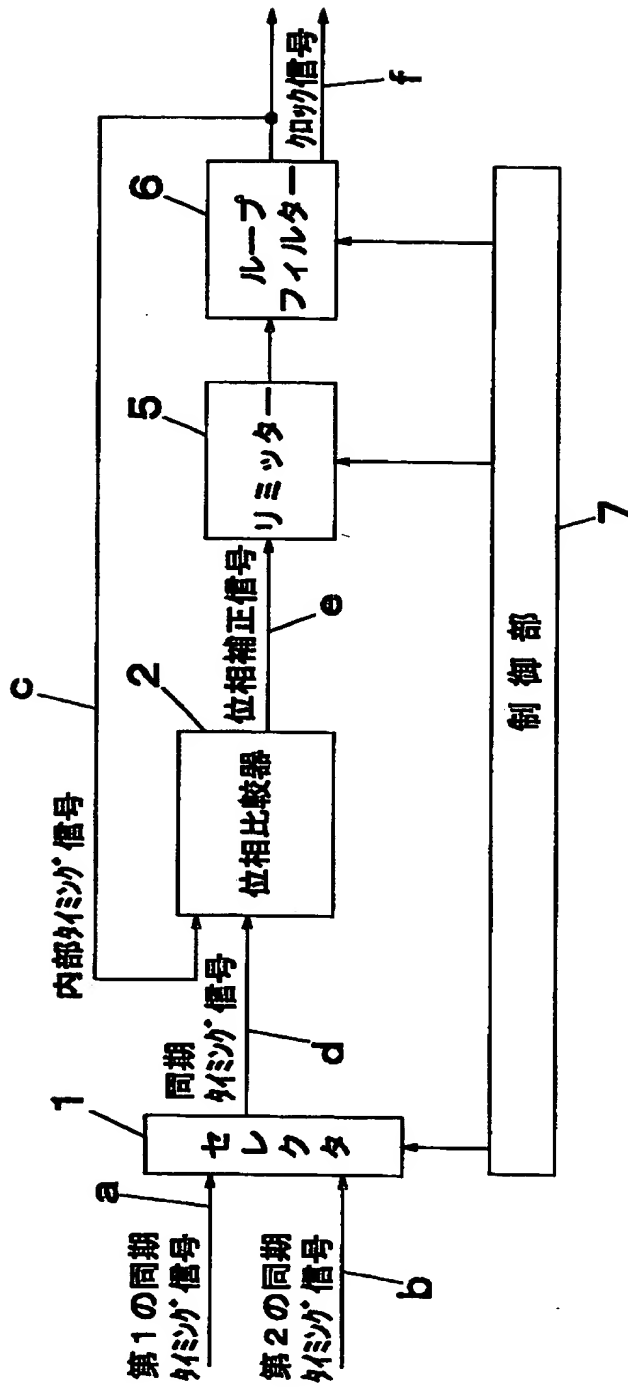
【図 8】

位相補正値および同期／非同期判定例

位相条件	周波数条件	補正値	補足説明	同期判定
A (2048～3413)	—	※ マイナス補正	被比較フレーム番号に対して内部フレーム番号の周期が長いのでマイナス補正する。	非同期
B Minus (3414～4094)	≥16384	補正なし	補正しなくても周期が近づいてくる。	同期
	=16383	マイナス補正	被比較フレーム番号に対して内部フレーム番号の周期が長いのでマイナス補正する。	
	≤16382	マイナス補正		
	≥16384	プラス補正	被比較フレーム番号に対して内部フレーム番号の周期が短いのでプラス補正する。	
	=16383	補正なし	被比較フレーム番号と内部フレーム番号の周期が同一なので補正しない。	
	≤16382	マイナス補正	被比較フレーム番号に対して内部フレーム番号の周期が長いのでマイナス補正する。	
Plus (0～681)	≥16384	プラス補正	被比較フレーム番号に対して内部フレーム番号の周期が短いのでプラス補正する。	
	=16383	プラス補正		
	≤16382	補正なし	補正しなくても周期が近づいてくる。	
	—	※ プラス補正	被比較フレーム番号に対して内部フレーム番号の周期が短いのでプラス補正する。	
C (682～2047)	—			非同期

※ 前方保護状態ではA、Cの場合位相補正を行わない

【図9】



【書類名】 要約書

【要約】

【課題】 比較的少ないメモリ容量で、障害時のクロック周波数変動を抑圧できるデジタルPLL装置を提供する。

【解決手段】 ホールドオーバー部は、メモリ15と、フレイムカウンタ11と、アップ・ダウンカウンタ12と、アップ・ダウン制御回路13と、コントロール部14と、デコーダ回路16を有し、比較的少ないメモリ容量で、障害時のクロック周波数変動を抑圧するデジタルPLL装置が得られる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社